

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP63012152
Publication date: 1988-01-19
Inventor(s): TSUKAMOTO KATSUHIRO; others: 03
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: JP83012152
Application Number: JP19860156551 19860702
Priority Number(s):
IPC Classification: H01L21/88; H01L29/46; H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To decrease resistance and to improve chemical resistance, by using a double-layer structure, which comprises a high-melting-point metal silicide and a high-melting-point metal nitride, carbide or boride that are formed on the upper part of polycrystalline Si, as a gate electrode or an internal interconnection.

CONSTITUTION: After an insulating film 2 and polycrystalline Si 3 are formed on the surface of an Si substrate 1, metallic titanium 8 is deposited. Then, heat treatment is performed in an nitrogen atmosphere or an ammonia atmosphere, and titanium silicide 4 and titanium nitride 7 are formed. Patterning is performed by using photoengraving technology. An Al interconnection 6 is provided thereon. Thus a gate electrode or an internal interconnection layer characterized by low sheet resistance and excellent chemical resistance can be formed.

Data supplied from the esp@cenet database - 12

⑫ 公開特許公報 (A) 昭63-12152

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和63年(1988)1月19日
H 01 L 21/88 R-6708-5F
29/46 D-7635-5F
29/78 3 0 1 P-8422-5F 審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 昭61-156551

⑰ 出 願 昭61(1986)7月2日

⑱ 発 明 者 塚 本 克 博 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑲ 発 明 者 岡 本 龍 郎 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑳ 発 明 者 大 崎 明 彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
㉑ 発 明 者 清 水 雅 裕 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
㉓ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

- (1) 多結晶シリコンの上部に高融点金属シリサイドと高融点金属の窒化物、炭化物又は酸化物とから成る2層構造を形成し、この2層構造をゲート電極又は内部配線としたことを特徴とする半導体装置。
(2) 高融点シリサイドとしてチタン・シリサイド、タンタル・シリサイド、ジルコニウム・シリサイド又はハフニウム・シリサイドを用いることを特徴とする特許請求の範囲第1項記載の半導体装置。
(3) 高融点金属の窒化物、炭化物又は酸化物としてチタン、タンタル、ジルコニウム、ハフニウム又はタングステンの窒化物、炭化物又は酸化物を用いることを特徴とする特許請求の範囲第1項記載の半導体装置。
(4) 多結晶シリコン層の上に高融点金属をデポジットし、窒素雰囲気又はアンモニア雰囲気中熱処理

することにより高融点金属シリサイドと高融点金属窒化物との層を同時に形成することを特徴とする半導体装置の製造方法。

(5) 窒素雰囲気又はアンモニア雰囲気での熱処理は、ランプ・アニール法により行なうことを特徴とする特許請求の範囲第4項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、集積回路の内部配線又はMOS型集積回路のゲート電極等の層の低抵抗化に関するものである。

(従来の技術)

第6図は、従来の内部配線又はゲート電極の構造を示す断面図である。同図において、1は半導体基板、2はゲート絶縁膜又はフィールド酸化膜等の絶縁膜、3は多結晶シリコン、4は高融点金属シリサイド、5はリンガラス等の絶縁膜、6はアルミ配線である。

第6図に示す多結晶シリコン3と高融点金属シリ

リサイド4の2層膜から成るゲート電極又は内部配線は一般的に「ポリサイド」と呼ばれ、現在の超LSI（例えば256kDRAM等）に広く使われている。このポリサイド構造は、ポリシリコン・ゲートの延長線上に考案されたものであり、ポリシリコン・ゲートMOSトランジスタと同じように、非常に薄いゲート絶縁膜（例えば100ÅのSiO₂）の上で良好なゲート電極として作用し、しかもソース・ドレイン形成のためのイオン注入のマスクとして自己整合的に使用され、またイオン注入後の高温アニールに耐え得る高い融点を有している。

ポリサイド・ゲート構造は従来のポリシリコン・ゲートの抵抗を下げるために考案されたものであり、ポリシリコンのシート抵抗が20～50Ω/□であるのに対し、ポリサイド構造では1～7Ω/□のシート抵抗になり、内部配線として用いた場合の配線による遅延時間を大幅に減らすことが可能である。このため、ポリサイド構造を形成するシリサイドには、できるだけ抵抗の低い高融

点金属シリサイドが望まれている。

（発明が解決しようとする問題点）

このような高融点金属シリサイドとして、現在の超LSIでは、モリブデン・シリサイド（MoSi₂）やタングステン・シリサイド（WSi₂）が使われている。モリブデン・シリサイドやタングステン・シリサイドが使われているのは、これらは融点が高く、耐薬品性に優れ、また材料的にも純度の高いものが供給されているためであるが、比抵抗は、モリブデン・シリサイドで100μΩ・cm、タングステン・シリサイドで70μΩ・cmであり、もっと比抵抗の小さいチタン・シリサイド（比抵抗13～17μΩ・cm）の使用が望ましい。

しかしながら、チタン・シリサイドはフッ酸（HF）に容易に溶解するため、半導体製造工程で多用されるフッ酸処理（エッチングや洗浄）に対して耐性がなく使いにくいという大きな欠点を有している。

本発明はこのような点に陥りてなされたもので

あり、その目的とするところは、抵抗が極めて小さく、かつ、フッ酸等の薬品に対する耐性に優れたゲート電極又は内部配線を得ることにある。

（問題点を解決するための手段）

このような目的を達成するために本発明は、多結晶シリコンの上部に高融点金属シリサイドと高融点金属の窒化物、炭化物又は燐化物とから成る2層構造を形成するようにしたものである。

また、製造方法として、多結晶シリコン層の上に高融点金属をデポジットし、窒素雰囲気又はアンモニア雰囲気中で熱処理することにより高融点金属シリサイドと高融点金属窒化物とを同時に形成するものである。

（作用）

本発明においては、ポリサイドのシート抵抗は非常に低い値であり、またポリサイド構造は耐薬品性に優れた構造である。

（実施例）

本発明に係る半導体装置の一実施例を第1図に示す。第1図において、7は高融点金属窒化物

であり、同図において第6図と同一部分又は相当部分には同一符号が付してある。

第1図に示すように、ゲート電極又は内部配線は、多結晶シリコン3とチタン・シリサイド等の高融点金属シリサイド4とチタン・ナイトライド等の高融点金属窒化物7とから成る3層構造で成り立っており、低抵抗であるが耐薬品性に劣る高融点金属シリサイド4は、非常に優れた耐薬品性を有し、かつ、電気的な良導体である高融点金属窒化物7で保護された構造になっている。このため、第1図のアルミ配線5とのコンタクト部の開口や、その工程の前後におけるフッ酸等の洗浄に際しても、耐薬品性に劣る高融点金属シリサイド4が露出しないので、高融点金属シリサイド4が腐食するような不都合は生じない。

次に、本装置の構造を実現するための製造方法の一実施例を第2図～第5図を用いて説明する。まず、第2図(4)に示すように、シリコン基板1の表面にゲート絶縁膜又はフィールド酸化膜の絶縁膜2が形成され、さらにその上に多結晶シリコン

3が形成される。

次に多結晶シリコン3の上に、例えばスパッタリング法により、金属チタン8をデポジットする(第2図向)。

続いて窒素雰囲気又はアンモニア雰囲気中熱処理すると、第2図向に示すように、金属チタン8は多結晶シリコン3と反応してチタン・シリサイド4が形成され、また上層では、窒素又はアンモニアと反応してチタン・ナイトライド7が形成される。

この熱処理に際しては、酸素又は空気の混入を避けることが、チタンの表面が酸化されるのを防止し、有効に窒化反応を起こさせる上で極めて重要である。このため、ランプ・アニール法のような雰囲気を制御しやすい熱処理技術を用いることが大変有効である。

第3図は、多結晶シリコン上にスパッタリング法により金属チタンを70nmデポジットした後ランプ・アニール法により窒素雰囲気中800℃、60秒間の熱処理を行なった試料をヘリウム・

イオン(1.5MeV)の後方散乱法を用いて分析したものである。最表面には約30nmのチタン・ナイトライドTINが形成され、その下に約90nmのチタン・シリサイドTISIが形成されていることが分かる。こうして、多結晶シリコン3、チタン・シリサイド4、チタン・ナイトライド7の3層膜から成る低抵抗の電極層が形成される。

この電極層のシート抵抗と熱処理温度との関係を熱処理雰囲気を変パラメータとして第4図に示す。同図は、金属チタンの膜厚が115nmのときのデータを示すグラフであり、10はアンモニア雰囲気におけるシート抵抗を示す特性曲線、11は窒素雰囲気におけるシート抵抗を示す特性曲線、12はアルゴン雰囲気におけるシート抵抗を示す特性曲線である。

アルゴン雰囲気(特性曲線12)では、チタン・ナイトライドが形成されず、すべてチタン・シリサイドになるため、シート抵抗は0.65Ω/□(800℃)まで低下するが、チタン・シリサイ

ドはフッ酸等の薬品に対して保護されない。窒素雰囲気(特性曲線11)又はアンモニア雰囲気(特性曲線12)では、チタン・ナイトライドが形成されてチタン・シリサイドの膜厚が減少するため、シート抵抗は多少増加するが0.75Ω/□(800℃)程度であり、従来のモリブデン・シリサイドやタンゲステン・シリサイドの3〜5Ω/□と比較すると、十分低い値であることが分かる。

この後、第2図向に示すように、写真製版技術を用いてパターンニングを行なう。この際、パターン幅の制御性を向上させるため、通常、反応性イオン・エッチングが用いられるが、チタン・ナイトライドとチタン・シリサイドは全く同じ条件で反応性イオン・エッチングすることが可能であり、エッチング工程では何ら特別の工程は必要としない。

この後、通常のMOS・LSIの製造工程(図示せず)に従って、ソース・ドレイン形成のためのイオン注入や高温アニールを行ない、リンガラス等の絶縁膜をデポジットしてコンタクトホール

を開孔し、アルミ配線を施す。これら一連の工程で必要とされるフッ酸等の薬品によるライト・エッチングや洗浄に対しては、チタン・ナイトライドが優れた耐薬品性を示すため、チタン・シリサイドが腐食する不具合は完全に防止することができる。

第5図は、チタン・シリサイドのみの1層膜およびチタン・ナイトライドとチタン・シリサイドの2層膜をフッ酸水溶液に浸したときのシート抵抗の変化を示すグラフである。特性曲線21はチタン・シリサイドのみの1層膜の場合、特性曲線22はチタン・ナイトライドとチタン・シリサイドの2層膜の場合を示す。特性曲線21に示すように、チタン・シリサイドのみの1層膜では、H₂O:H₂F=10:1のフッ酸水溶液に約40秒浸すと完全に溶けてしまう。一方、チタン・ナイトライドとチタン・シリサイドの2層膜では、特性曲線22に示すように、チタン・ナイトライドがフッ酸に対する保護膜として作用し、180秒浸してもシート抵抗は全く変化しないことが分かる。

なお、上記実施例では、チタン・ナイトライドとチタン・シリサイドを例にとって説明したが、タンタル・シリサイド、ジルコニウム・シリサイド、ハフニウム・シリサイド又はタングステン・シリサイド並びにチタン、タンタル、ジルコニウム、ハフニウム、タングステンの窒化物、炭化物又は硼化物を用いても同様の効果を奏する。

〔発明の効果〕

以上説明したように本発明は、高融点金属シリサイドの上に高融点金属の窒化物、炭化物又は硼化物を形成したことにより、高融点金属シリサイドをフッ酸等の薬品から保護することができるので、非常にシート抵抗が低く、かつ、耐薬品性に優れたゲート電極又は内部配線の層を有する半導体装置を実現することができる効果がある。

4. 図面の簡単な説明

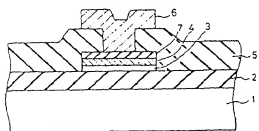
第1図は本発明に係わる半導体装置の一実施例を示す断面図、第2図はその製造方法を説明するための断面図、第3図はチタン・ナイトライドとチタン・シリサイドの2層構造が形成されている

ことを示すグラフ、第4図はチタン・ナイトライドとチタン・シリサイドの2層構造を形成するための熱処理温度とシート抵抗の関係を示すグラフ、第5図はチタン・ナイトライドとチタン・シリサイドの2層膜がフッ酸に対して耐性を有することを示すグラフ、第6図は従来の半導体装置を示す断面図である。

1…半導体基板、2、5…絶縁膜、3…多結晶シリコン、4…高融点金属シリサイド、6…アルミ配線、7…高融点金属窒化物。

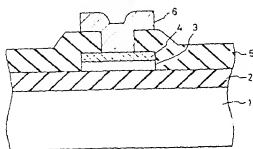
代理人 大 岩 増 雄

第1図

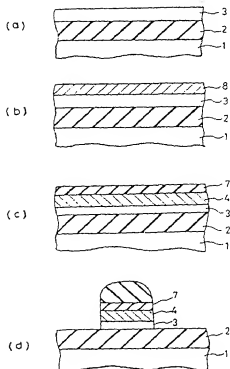


1:半導体基板
2:絶縁膜
3:多結晶シリコン
4:高融点金属シリサイド
5:絶縁膜
6:高融点金属窒化物
7:高融点金属炭化物

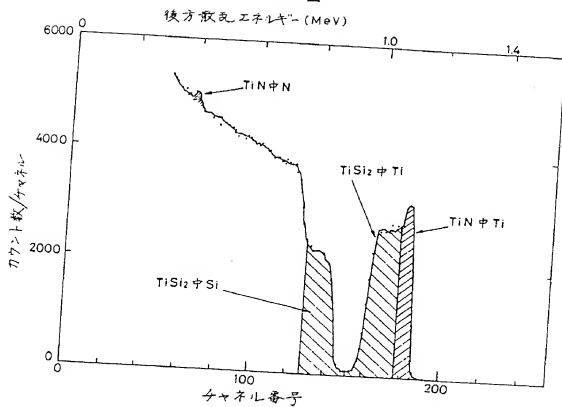
第6図



第2図



第 3 図



第 4 図

